

WIZnet Ethernet PCB Design

소개

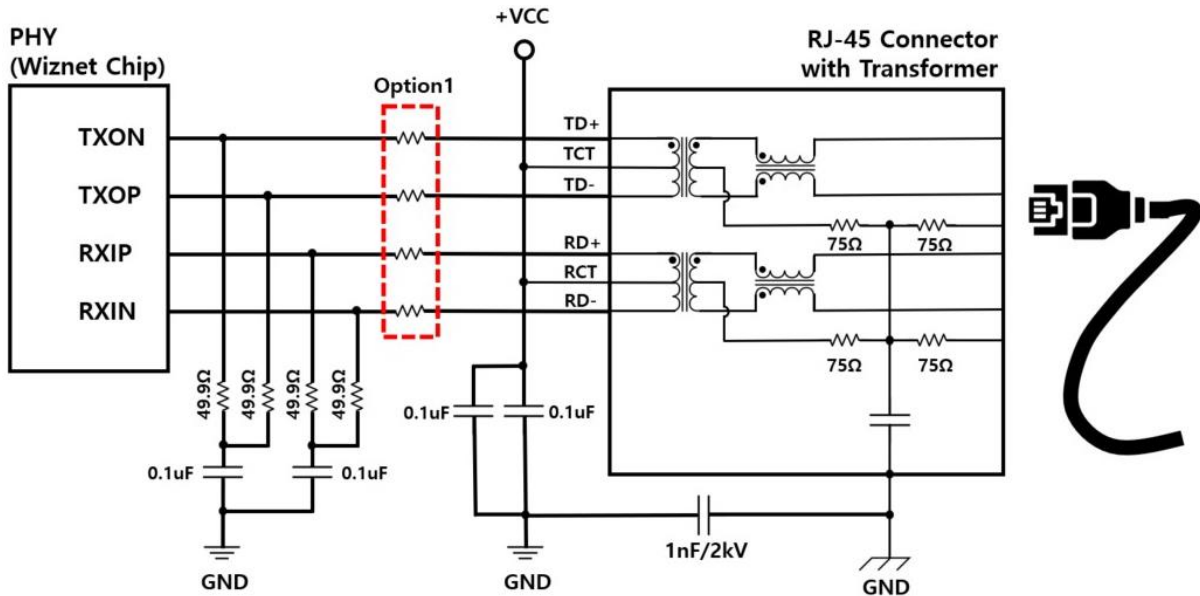
이 문서는 WIZnet Ethernet Chip 설계 참고자료입니다. W5100, W5300, W5500, W7500, W7500P 를 이용한 PCB 설계 참고자료를 담고 있습니다. MDI(Mediumdependent Interface), 전원, 부품 배치, MII(Media Independent Interface) 등의 내용이 포함되어 있으며 아래 지침을 따라야 합니다. 지침을 따르지 않으면 이더넷 성능이 저하될 수 있습니다.

목차

- ✓ SCH Design Guide
 - W6100, W5100S, W5300
 - W5500
 - W7500, W7500P
 - Using RJ-45 without Transformer
- ✓ PCB Design Guide
 - Ethernet Socket
 - MDI
- ✓ TEST
 - Compliance
 - EMI – RE
- ✓ PoE

✓ SCH Design Guide

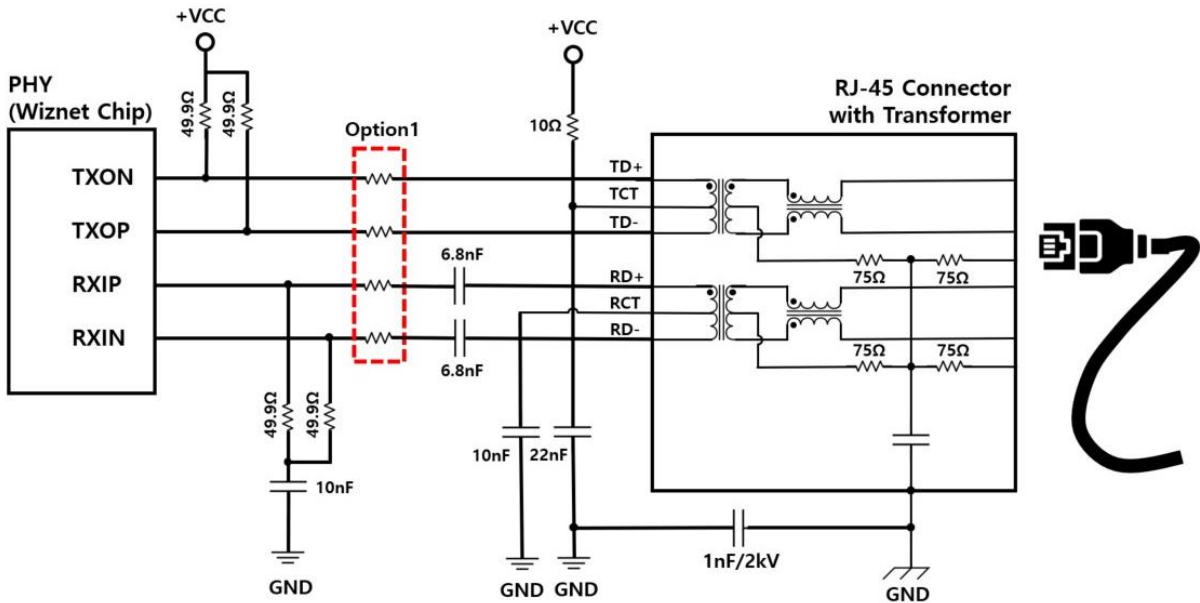
- W5100, W5100S, W5300, W6100



- Ethernet Socket의 내부 회로 구성에 따라 회로가 변경될 수 있습니다. 반드시 Datasheet를 참고하여 적절한 방법으로 회로 설계를 해야 합니다.
- 변압기가 포함되지 않은 Ethernet Socket을 사용할 경우, 회로의 변압기 부분도 추가로 설계해야 합니다.
- 변압기의 TCT, RCT에 연결된 GND와 TX, RX의 종단저항에 연결된 GND를 일반 GND가 아닌 AGND로 설계할 수 있습니다. 이는 MDI 신호와 시스템 GND 노이즈의 분리를 위한 것이며, 이 경우 AGND의 영역이 충분히 넓어야 합니다. 그렇지 않을 경우 AGND와 시스템 GND는 통합하는 것이 더 유리합니다.
- Option1은 EMC 대비용 댐핑 저항입니다. 공통 모드 노이즈와 차동 모드 노이즈 간섭을 막기 위한 저항이며, 저항 값을 너무 크게 설계할 시 차동 라인의 전압 레벨이 감소하여 이더넷 통신에 문제가 생길 수 있습니다.

✓ SCH Design Guide

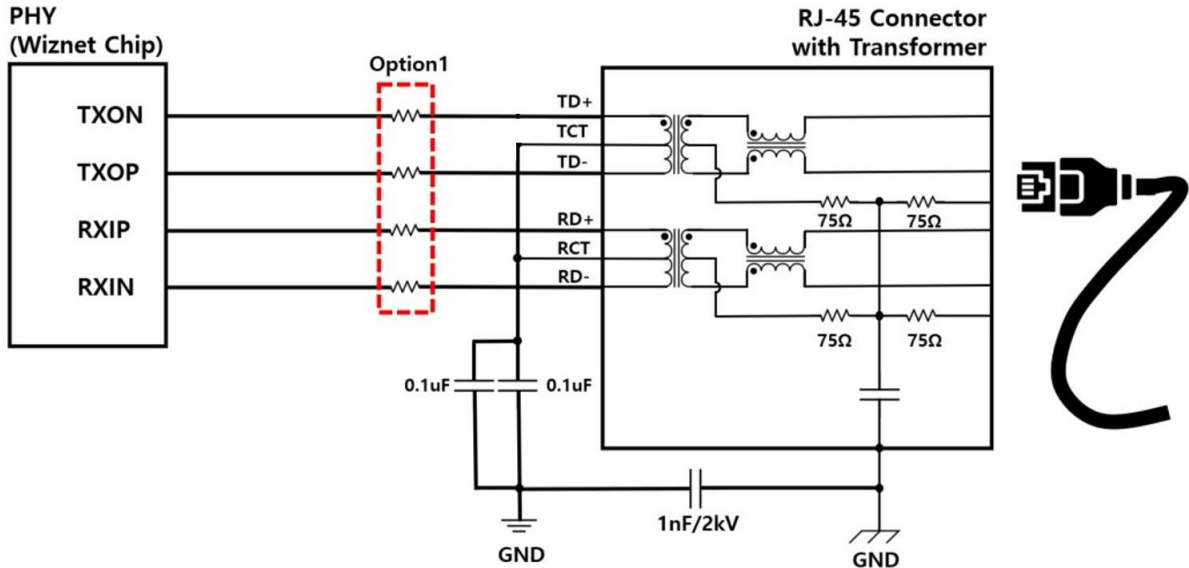
■ W5500



- Ethernet Socket의 내부 회로 구성에 따라 회로가 변경될 수 있습니다. 반드시 Datasheet를 참고하여 적절한 방법으로 회로 설계를 해야 합니다.
- 변압기가 포함되지 않은 Ethernet Socket을 사용할 경우, 회로의 변압기 부분도 추가로 설계해야 합니다.
- 변압기의 TCT, RCT에 연결된 GND와 TX, RX의 종단저항에 연결된 GND를 일반 GND가 아닌 AGND로 설계할 수 있습니다. 이는 MDI 신호와 시스템 GND 노이즈의 분리를 위한 것이며, 이 경우 AGND의 영역이 충분히 넓어야 합니다. 그렇지 않을 경우 AGND와 시스템 GND는 통합하는 것이 더 유리합니다.
- Option1은 EMC 대비용 댐핑 저항입니다. 공통 모드 노이즈와 차동 모드 노이즈 간섭을 막기 위한 저항이며, 저항 값을 너무 크게 설계할 시 차동 라인의 전압 레벨이 감소하여 이더넷 통신에 문제가 생길 수 있습니다.

✓ SCH Design Guide

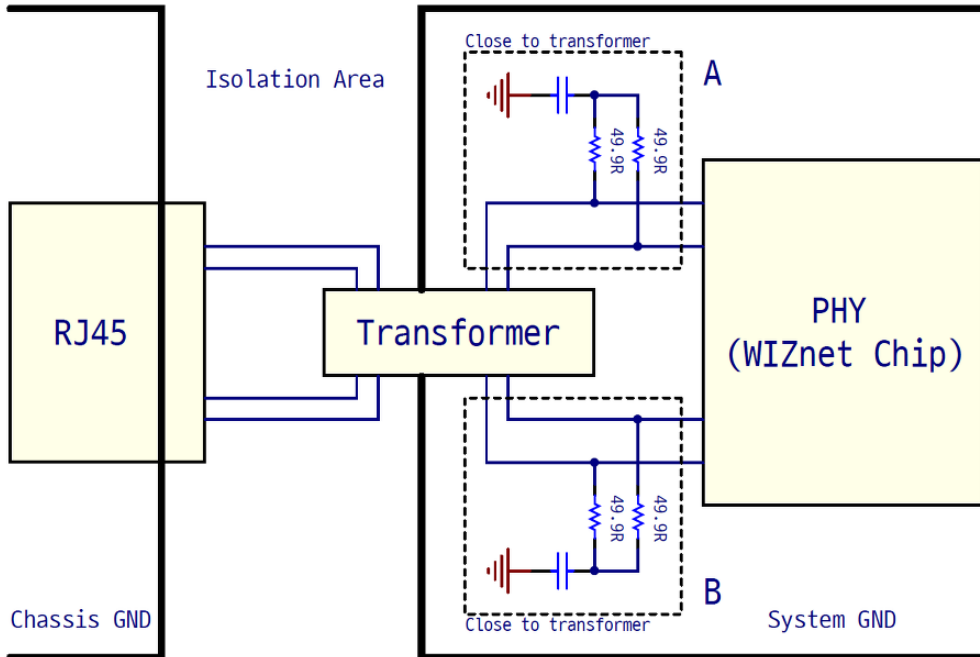
■ W7500, W7500P



- Ethernet Socket의 내부 회로 구성에 따라 회로가 변경될 수 있습니다. 반드시 Datasheet를 참고하여 적절한 방법으로 회로 설계를 해야 합니다.
- 변압기가 포함되지 않은 Ethernet Socket을 사용할 경우, 회로의 변압기 부분도 추가로 설계해야 합니다.
- 변압기의 TCT, RCT에 연결된 GND와 TX, RX의 종단저항에 연결된 GND를 일반 GND가 아닌 AGND로 설계할 수 있습니다. 이는 MDI 신호와 시스템 GND 노이즈의 분리를 위한 것이며, 이 경우 AGND의 영역이 충분히 넓어야 합니다. 그렇지 않을 경우 AGND와 시스템 GND는 통합하는 것이 더 유리합니다.
- Option1은 EMC 대비용 댐핑 저항입니다. 공통 모드 노이즈와 차동 모드 노이즈 간섭을 막기 위한 저항이며, 저항 값을 너무 크게 설계할 시 차동 라인의 전압 레벨이 감소하여 이더넷 통신에 문제가 생길 수 있습니다.
- Current Mode PHY로 내부에 종단 저항 회로가 있어, 외부에 종단 저항을 설계하지 않아도 됩니다.
- W7500은 PHY가 없기 때문에 반드시 PHY 회로를 추가로 설계해주어야 합니다.

✓ SCH Design Guide

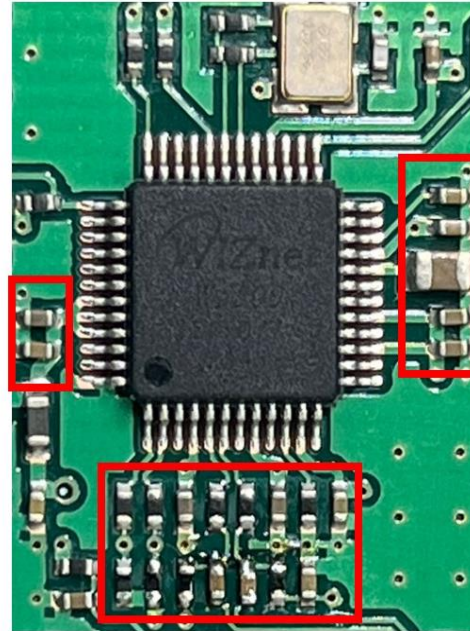
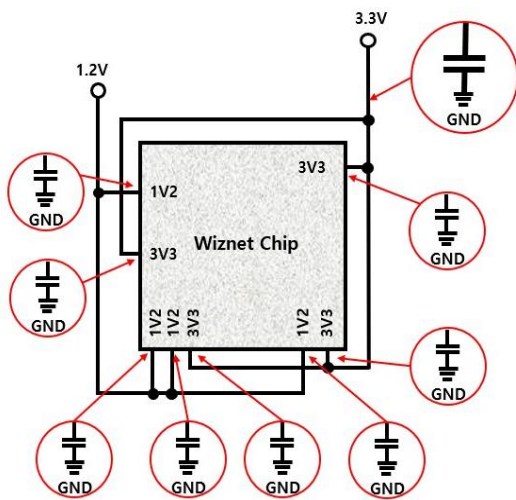
■ Using RJ-45 without Transformer



- Transformer가 없는 Ethernet Socket을 사용한다면 반드시 Transformer 회로설계를 추가적으로 해야 합니다.
- 위의 회로는 일반적인 회로 구성이고, WIZnet Ethernet Chip에서는 W5100, W5100S, W5300, W6100에 해당됩니다.
- Transformer를 기준으로 PHY에서 Transformer 까지가 System GND 영역입니다.
- 종단저항은 신호의 가장 종단에 가깝게 배치하는 것이 좋습니다. (수신측)

✓ PCB Design Guide

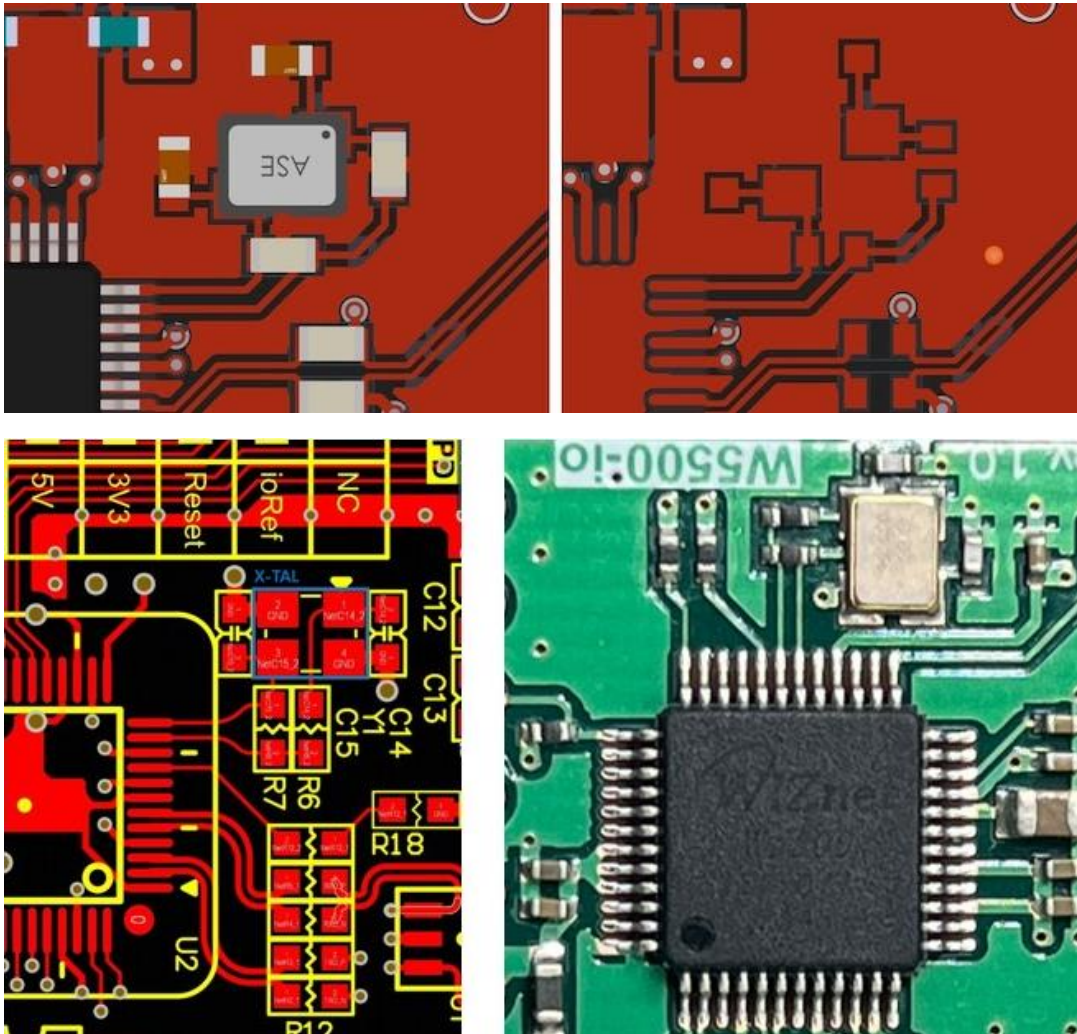
■ Decoupling Capacitor



- Decoupling Capacitor는 전원 라인의 노이즈를 제거하기 위해서 사용됩니다.
- 필터링이 목적인만큼 해당 Chip에 최대한 가까이 배치하는 것이 좋습니다.
- 각 전원 라인마다 한 개 이상의 Capacitor를 설계해주는 것이 좋습니다.

✓ PCB Design Guide

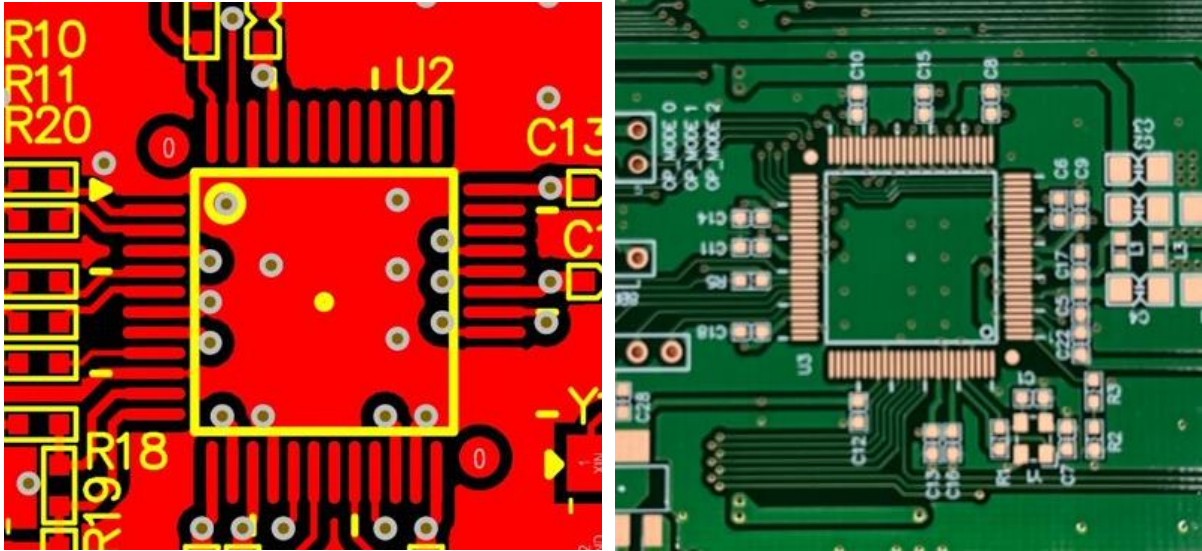
■ Oscillator



- 고주파 신호이기 때문에 Artwork시 Chip과 같은 Layer로 Via 없이 설계되는 것이 좋습니다.
- 하나의 발진 소자에는 하나의 Chip 만 연결하는 것이 좋습니다. (전류문제, 상호간섭)

✓ PCB Design Guide

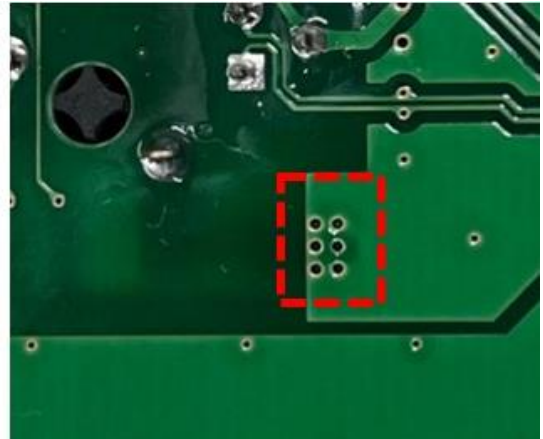
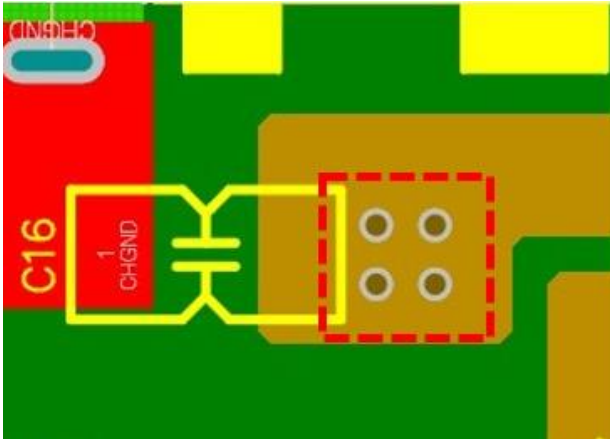
■ GND Plane

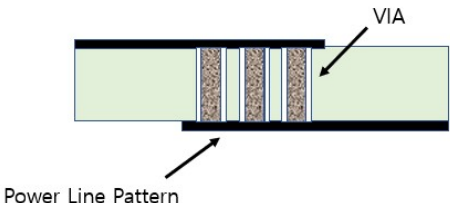
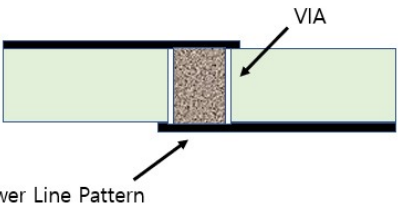


- 칩의 안쪽에도 GND Copper pour를 깔아주는 것이 좋습니다.
- 칩을 가로질러 다른 디지털 라인이 지나가지 않는 것이 좋습니다.
- Via 여러 개를 배치하여 GND 접속성이 좋도록 유지하는 것이 좋습니다.
- AGND와 DGND를 구분 지어주는 것이 좋습니다.
- AGND와 DGND를 구분 지어준다면, 다른 Layer 층이더라도 같은 좌표상에 위치하면 기능적으로 좋지 않습니다.

✓ PCB Design Guide

■ Power Pattern

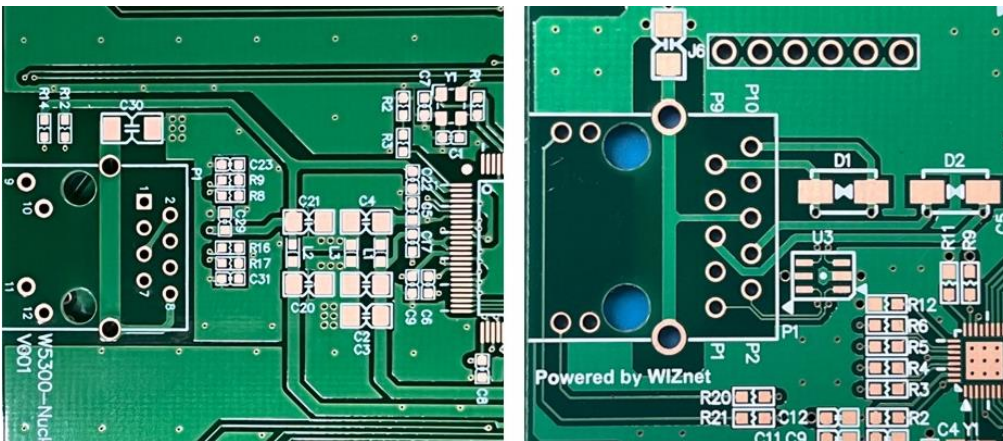
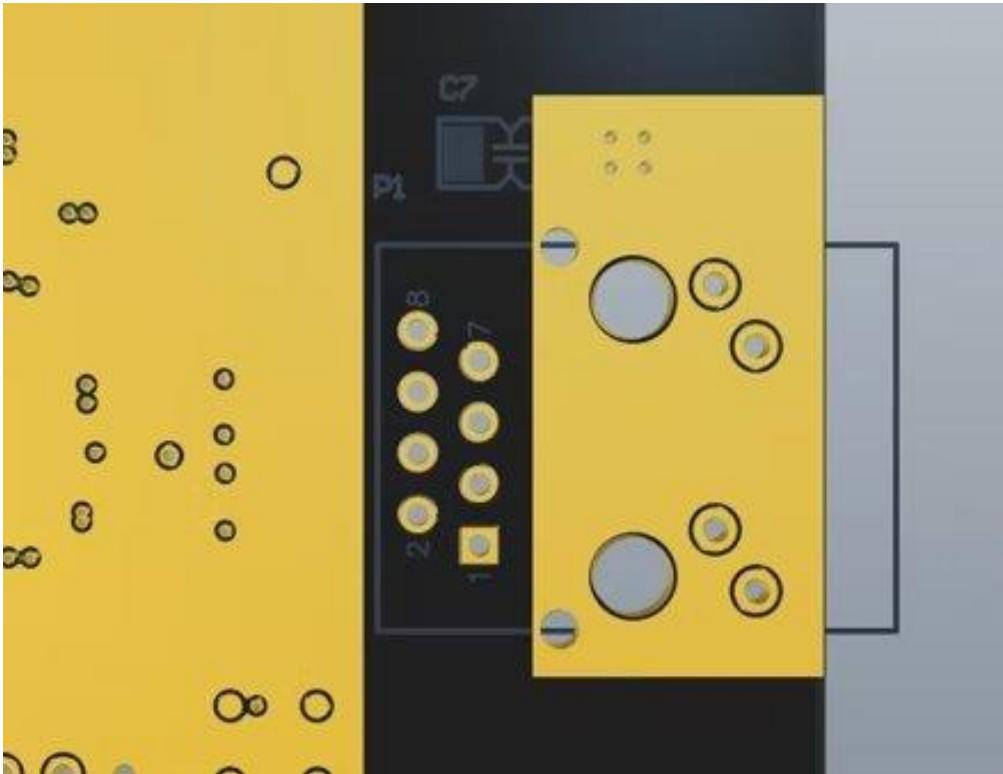


Good Design	Bad Design
 <p data-bbox="236 1211 416 1234">Power Line Pattern</p> <p data-bbox="608 1032 644 1055">VIA</p> <p>The diagram shows a cross-section of a PCB with a power line pattern and a via. The power line pattern is shown as a thick, solid layer. The via is shown as a hole in the power line pattern, filled with a conductive material. The labels 'Power Line Pattern' and 'VIA' point to their respective parts.</p>	 <p data-bbox="863 1211 1043 1234">Power Line Pattern</p> <p data-bbox="1187 1032 1224 1055">VIA</p> <p>The diagram shows a cross-section of a PCB with a power line pattern and a via. The power line pattern is shown as a thin, solid layer. The via is shown as a hole in the power line pattern, filled with a conductive material. The labels 'Power Line Pattern' and 'VIA' point to their respective parts.</p>

- Power Plane 은 Pattern과 Via도 고려해야 합니다. Pattern은 넓이(WIDTH)와 동박 굵기 (Height), OZ, 온도에 따라 전류용량이 달라집니다.
- 되도록 하나의 큰 Via 보다는 여러 개의 작은 Via로 설계하는 것이 좋습니다. (전류 용량이 더 큼)

✓ PCB Design Guide

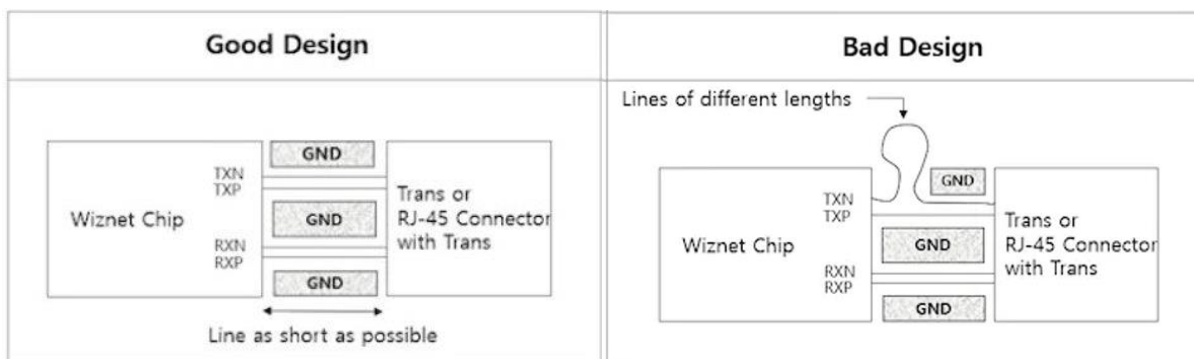
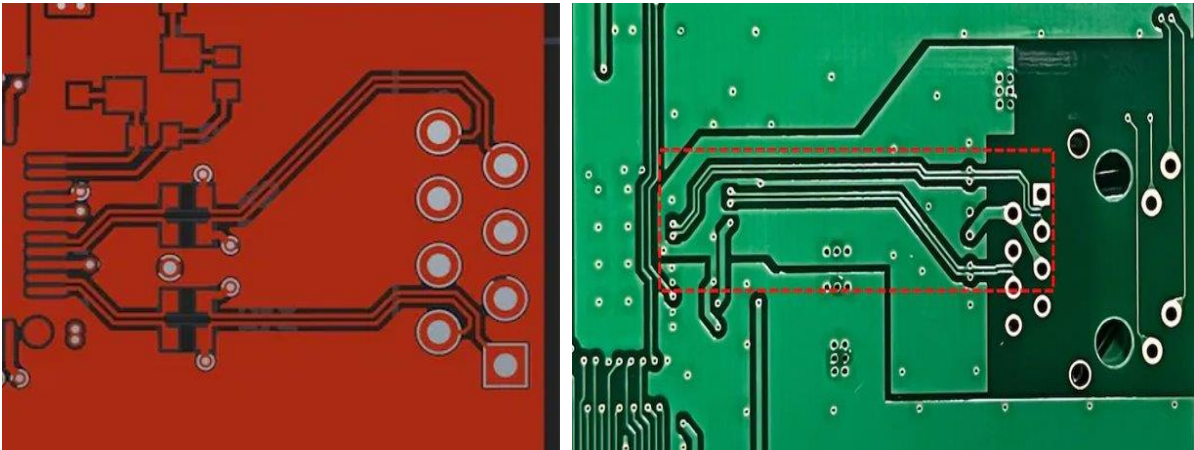
■ Ethernet Socket



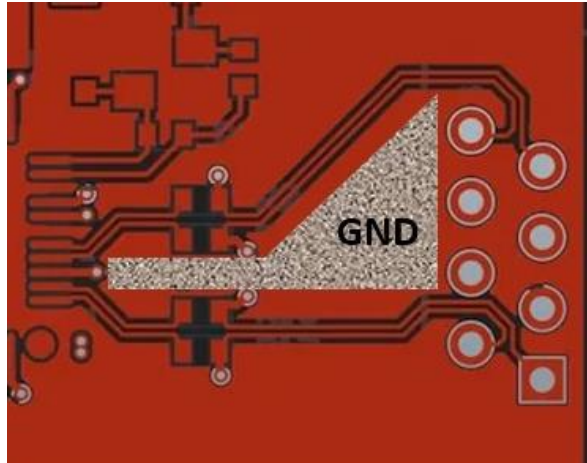
- Transformer 가 없는 RJ-45 Socket을 사용한다면 반드시 Transformer 회로설계를 추가적으로 해야 합니다.
- 위의 회로는 일반적인 회로 구성이고, WIZnet Ethernet Chip에서는 W5100S, W6100, W5300에 해당됩니다.
- Transformer를 기준으로 PHY에서 Transformer까지가 System GND 영역입니다.

✓ PCB Design Guide

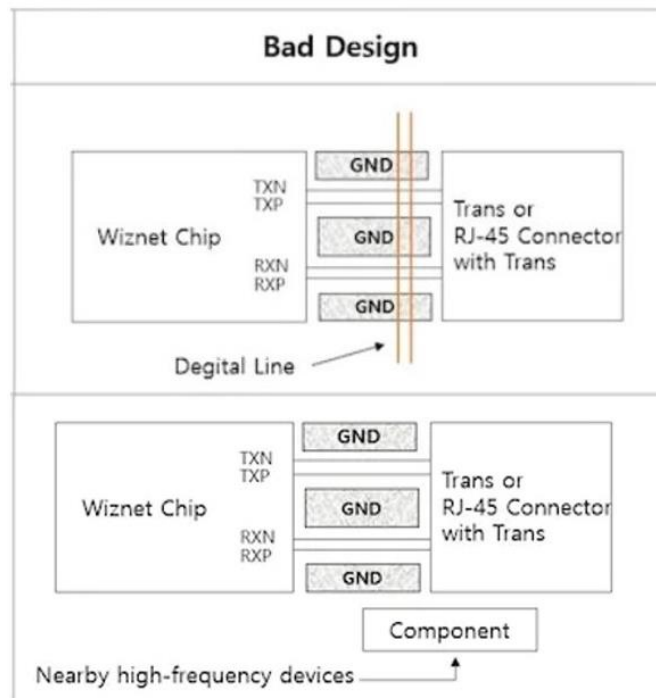
■ MDI



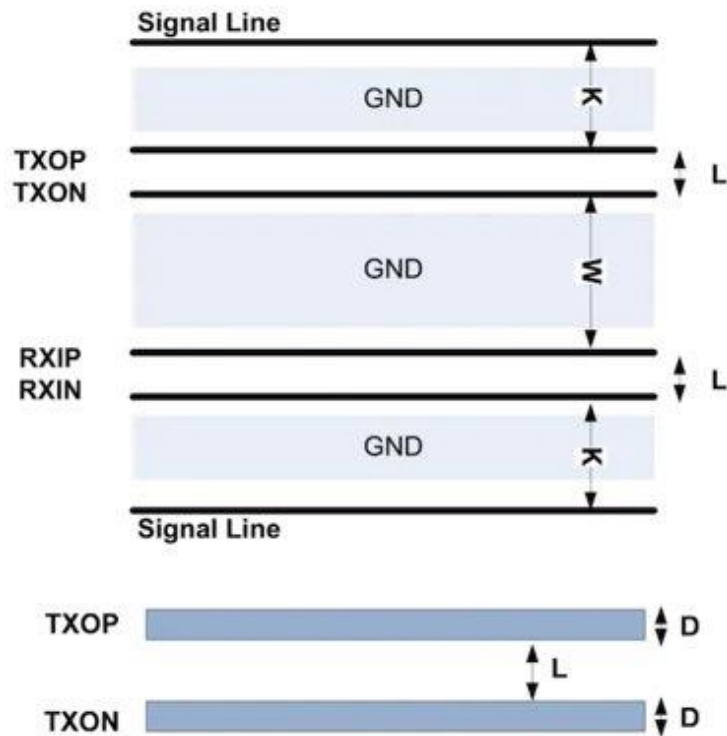
- RJ-45 와 Chip 간의 사이가 최대한 가까워야 합니다.
- Tx, Rx 신호는 차동 신호이기 때문에 각 라인의 길이가 동일해야 합니다. 라인이 다르게 형성된다면, 차동 모드 신호가 공통 모드 노이즈로 전환되어 EMI에 영향을 끼치고, 이더넷 통신이 문제가 될 수 있습니다.



- TX, RX 사이에 GND 패턴을 놓아 두 라인간의 영향이 없도록 하는 것이 좋습니다.
- 두 라인간의 거리가 서로에게 영향을 안 줄 만큼 넓다면 GND Copper는 없어도 무방합니다.
- GND 처리에 따라 Line의 Impedance가 달라지게 됩니다. 이 부분은 설계할 때, 라인 굵기 및 Clearance로 Impedance Matching이 가능합니다.



- TX, RX 라인에 다른 Digital Line 이 지나가는 것은 좋지 않습니다.
- 주위에 고주파 Device 가 있는 것은 좋지 않습니다. (OCS 등)



	Min	Typ	MAX	Descriptions
<i>D</i>	6mil	-	12mil	TX+/- and RX+/- Trace thickness, ex) 8mil
<i>L</i>	-	-	10mil	Distance between +/- Differential signal, ex) 4mil
<i>W</i>	20mil	-	-	Distance between TX+/- and RX+/- signals, ex) 30mil
<i>K</i>	20mil	-	-	Distance between TX+/- and RX+/- signals and others & power, ex) 30mil , separate by GND.

- Ethernet Impedance Line 설계를 할 때 최소 조건입니다.
- Ethernet의 Impedance는 100Ω입니다.
- 정확한 Impedance 100Ω을 설계하기 위해선 PCB 제조사에 문의를 하여 설계해야 합니다.
(Solder Mask, Oz, 공정방법에 따라 Impedance 가 바뀝니다.)

✓ TEST

■ Compliance

Test Report

Pass

Test Configuration Details	
Application	
Name	D9010ETHC Ethernet
Version	2.72.0.0
Device Description	
Tests100T	No
Tests1000T	Yes
Tests10000T	No
Tests100T_EEE	No
Tests1000T_EEE	No
Tests10000T_EEE	No
DisturbingSignal	Yes
TxFclk	Yes
DisturberSource	Use Keysight 33250A
ReturnLossTest	Use Vector Network Analyzer
Test Session Details	
Infiniium SW Version	DS_40_00714
Infiniium Model Number	MSOS104A
Infiniium Serial Number	MV55160128
Debug Mode Used	No
Compliance Limits	IEEE Std. 802.3 Specification (official)
Probe (Channel 2)	Model: N2750A Serial: US53331201 Atten: Calibrated (18 NOV 2022 15:23:49), Using Cal Atten (9.9742E+00) Skew: Not Calibrated, Using Default Skew
Probe (Channel 3)	Model: User Defined Probe Serial: No Serial Num Atten: Not Calibrated, Using Default Atten (1.0000E+00) Skew: Not Calibrated, Using Default Skew
Probe (Channel 4)	Model: User Defined Probe Serial: No Serial Num Atten: Not Calibrated, Using Default Atten (1.0000E+00) Skew: Not Calibrated, Using Default Skew
Last Test Date	2022-11-18 15:37:29 UTC +08:00



Summary of Results

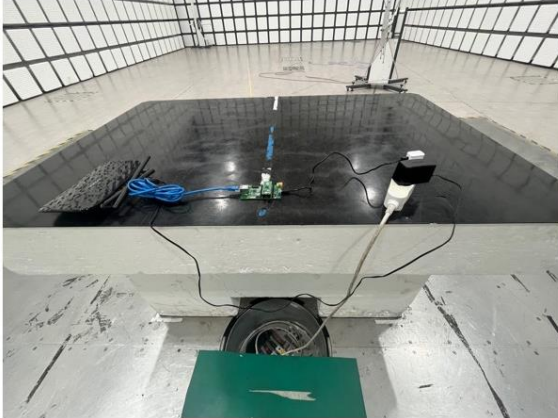
Test Statistics		Margin Thresholds	
Failed	0	Warning	< 2 %
Passed	15	Critical	< 0 %
Total	15		

Pass	# Failed	# Trials	Test Name (click to jump)	Actual Value	Margin	Pass Limits
✓	0	1	100_Base-TX_UTP_+Vout Differential Output Voltage	955.4 mV	5.4 %	950.0 mV < VALUE < 1.0500 V
✓	0	1	100_Base-TX_UTP_-Vout Differential Output Voltage	-950.7 mV	0.7 %	950.0 mV < VALUE < 1.0500 V
✓	0	1	100_Base-TX_UTP_Signal Amplitude Symmetry	-1.00%	17.5 %	980 m < VALUE < 1.020
✓	0	1	100_Base-TX_+Vout Overshoot	-1.2 %	124.0 %	VALUE < 5.0 %
✓	0	1	100_Base-TX_-Vout Overshoot	-1.1 %	122.0 %	VALUE < 5.0 %
✓	0	1	100_Base-TX_UTP_AOI_Template	0.000	100.0 %	No Mask Failures
✓	0	1	100_Base-TX_AOI_+Vout Rise Time	3.809 ns	40.5 %	3.000 ns < VALUE < 5.000 ns
✓	0	1	100_Base-TX_AOI_+Vout Fall Time	3.836 ns	41.8 %	3.000 ns < VALUE < 5.000 ns
✓	0	1	100_Base-TX_AOI_+Vout Rise/Fall Symmetry	80.89 ps	83.8 %	VALUE < 500.00 ps
✓	0	1	100_Base-TX_AOI_-Vout Rise Time	3.700 ns	35.0 %	3.000 ns < VALUE < 5.000 ns
✓	0	1	100_Base-TX_AOI_-Vout Fall Time	3.692 ns	34.6 %	3.000 ns < VALUE < 5.000 ns
✓	0	1	100_Base-TX_AOI_-Vout Rise/Fall Symmetry	135.00 ps	73.0 %	VALUE < 500.00 ps
✓	0	1	100_Base-TX_AOI_Overall Rise/Fall Symmetry	198.10 ps	60.4 %	VALUE < 500.00 ps
✓	0	1	100_Base-TX_Transmit Jitter	374 ps	73.3 %	VALUE < 1.400 ns
✓	0	1	100_Base-TX_Duty Cycle Distortion	54.890 ps	89.0 %	VALUE <= 500.000 ps

- 10/100M에서 시험진행
- 전원 - USB Micro B Type으로 Raspberry Pi에 5V 공급

✓ TEST

■ EMI - RE

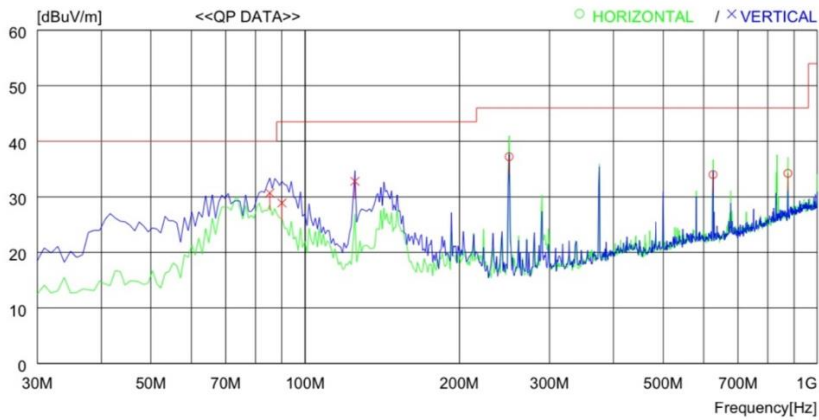


RADIATED EMISSION

2022. 11. 23

Trade Name	:		AGR No.	:	
Model Name	:	W5100S_MAG_C	Power Supply	:	220 V~ 60 Hz
Serial No.	:		Temp / Humi	:	23.8 °C, 45.8 % R.H.
Mode	:		Operator	:	OH SUN EAK

LIMIT : FCC Part15 Subpart.B Class B (3m)



No.	FREQ	READING	ANT	LOSS	GAIN	RESULT	LIMIT	MARGIN	ANTENNA	TABLE
	[MHz]	[dBuV]	FACTOR	[dB]	[dB]	[dBuV/m]	[dBuV/m]	[dB]	[cm]	[DEG]
----- Horizontal -----										
1	250.190	46.0	12.7	6.2	27.7	37.2	46.0	8.8	200	297
2	625.577	33.4	19.2	10.5	29.1	34.0	46.0	12.0	200	359
3	875.830	28.5	21.7	12.2	28.2	34.2	46.0	11.8	200	174
----- Vertical -----										
4	85.290	46.3	9.1	3.5	28.2	30.7	40.0	9.3	100	0
5	90.140	43.0	10.5	3.6	28.2	28.9	43.5	14.6	100	0
6	125.060	47.1	9.6	4.3	28.2	32.8	43.5	10.7	100	0

- 소스전원 - 5V 어댑터 전원
- Dummy Data 최대한으로 송수신 중인 상태로 시험 진행